

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11014842

(43)Date of publication of application: 22.01.1999

(51)Int.Cl.

G02B 6/12
H01S 3/18

(21)Application number: 09164824

(22)Date of filing: 20.06.1997

(71)Applicant:

(72)Inventor:

SHARP CORP

KASAI SHUSUKE

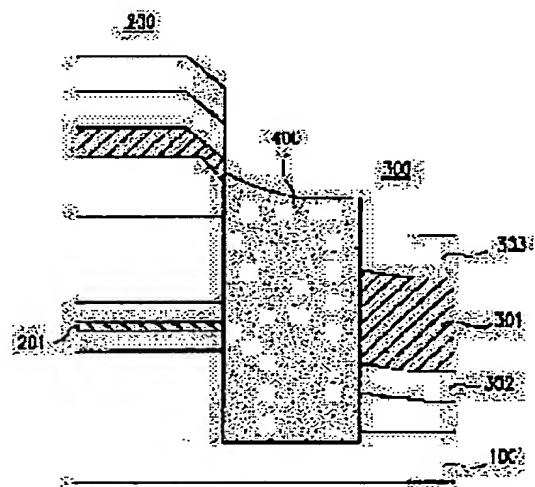
SHIMONAKA ATSUSHI

(54) WAVEGUIDE TYPE OPTICAL INTEGRATED CIRCUIT ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To maintain the optical loss at the joining section between a semiconductor laser and an optical waveguide to a minimum, to reduce the power consumption and to improve the reliability by burying a single semiconductor layer in the joining region of an end face emitting type semiconductor laser and an optical waveguide.

SOLUTION: The semiconductor layer, which constitutes of an AlGaAs semiconductor laser 200, is grown on a GaAs substrate 100. Then, the layer is reactive ion beam etched in a vertical direction to the depth where the substrate 100 is reached. Then, employing an MOCVD method, a semiconductor layer (an optical waveguide) 300, which is constructed to sandwich an optical waveguide layer 301 from the top and bottom by optically enclosing layers 303 and 302, is grown. Then, the joining region of the laser 200 and the waveguide 300 is vertically etched, an AlGaAs layer 400 is buried and grown in this region. Lastly, the semiconductor layer grown in the laser 200 is removed, processed into a ridge shape, a lateral direction light enclosing process is conducted and an electrode mounting process is conducted for the laser 200 in order to obtain a waveguide type optical integrated circuit element.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of
rejection]
[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

MENU

SEARCH

INDEX

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-14842

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁴

識別記号

F I

G 0 2 B 6/12

G 0 2 B 6/12

H

H 0 1 S 3/18

H 0 1 S 3/18

審査請求 未請求 請求項の数15 O L (全 11 頁)

(21) 出願番号 特願平9-164824

(22) 出願日 平成9年(1997) 6月20日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 河西 秀典

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 下中 淳

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

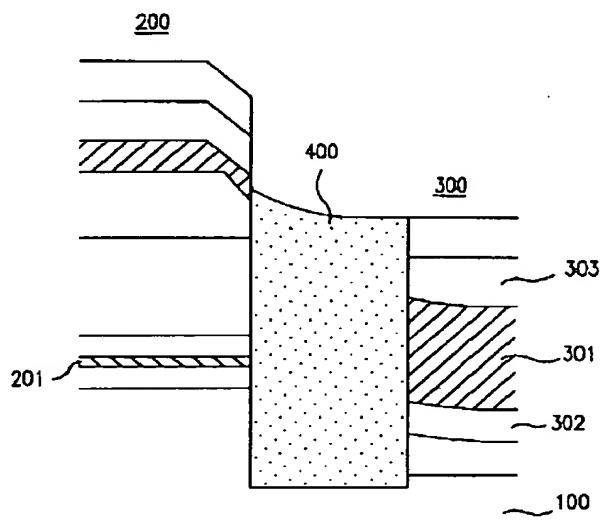
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 導波路型光集積回路素子及びその製造方法

(57) 【要約】

【課題】 半導体レーザと光導波路の接続部における光損失を最小限に抑えることができ、結果的に消費電力を低減でき、信頼性を向上できる導波路型光集積回路素子を提供する。

【解決手段】 半導体レーザ200と光導波路300の接合領域を幅2 μ mにわたって垂直にエッチングし、エッチングした領域に、MOCVD法によってAl混晶比0.2のAlGaAs層400を埋め込み成長させる。



【特許請求の範囲】

【請求項 1】 端面出射型の半導体レーザと、複数の半導体層からなり、該半導体レーザの出射光を導波させる光導波路とを半導体基板上の横方向に集積した導波路型光集積回路素子において、

該半導体レーザと該光導波路の接合領域に単一の半導体層を埋め込んだ導波路型光集積回路素子。

【請求項 2】 前記単一の半導体層の横方向の長さが $20\mu\text{m}$ 以下である請求項 1 記載の導波路型光集積回路素子。

【請求項 3】 端面出射型の半導体レーザと、複数の半導体層からなり、該半導体レーザの出射光を導波させる光導波路とを半導体基板上の横方向に集積した導波路型光集積回路素子において、
該半導体レーザと該光導波路の接合領域に、屈折率が層方向に実質的に連続して変化する半導体層を埋め込んだ導波路型光集積回路素子。

【請求項 4】 前記半導体層の屈折率は、層方向の周辺部から中心部に向けて高くなる 2 次関数状に変化する請求項 3 記載の導波路型光集積回路素子。

【請求項 5】 前記半導体層の屈折率の変化は該半導体層の組成を変化させることにより形成した請求項 3 又は請求項 4 記載の導波路型光集積回路素子。

【請求項 6】 前記半導体層の層方向の中心位置は前記半導体レーザの出力光分布の中心に一致し、かつ前記光導波路の固有モードの中心に一致している請求項 4 記載の導波路型光集積回路素子。

【請求項 7】 前記半導体層と前記半導体レーザとの間又は該半導体層と前記光導波路との間、或いは該半導体層と該半導体レーザとの間及び該半導体層と該光導波路との間に、単一の半導体層を埋め込んだ請求項 3～請求項 6 のいずれかに記載の導波路型光集積回路素子。

【請求項 8】 端面出射型の半導体レーザと、複数の半導体層からなり、該半導体レーザの出射光を導波させる光導波路とを半導体基板上の横方向に集積した導波路型光集積回路素子において、
該半導体レーザと該光導波路の接合領域に誘電体層を介在させた導波路型光集積回路素子。

【請求項 9】 前記半導体層と前記半導体レーザとの間及び該半導体層と前記光導波路との間に誘電体層を介在させた請求項 3～請求項 6 のいずれかに記載の導波路型光集積回路素子。

【請求項 10】 前記半導体レーザが分布帰還型半導体レーザである請求項 1～請求項 9 のいずれかに記載の導波路型光集積回路素子。

【請求項 11】 半導体基板上に半導体レーザを構成する半導体層を形成する工程と、

該半導体層の一部を略垂直な断面を有するようにエッチング除去する工程と、

エッチング除去した領域に光導波路を構成する半導体層

を形成する工程と、

該半導体レーザの光出射端面と該光導波路の光入射面との境界を含む領域を略垂直な断面を有するようにエッチング除去する工程と、

エッチング除去した領域に単一の半導体層を形成する工程とを包含する導波路型光集積回路素子の製造方法。

【請求項 12】 半導体基板上に半導体レーザを構成する半導体層を形成する工程と、

該半導体層の一部を略垂直な断面を有するようにエッチング除去する工程と、

エッチング除去した領域に光導波路を構成する半導体層を形成する工程と、

該半導体レーザの光出射端面と該光導波路の光入射面との境界を含む領域を略垂直な断面を有するようにエッチング除去する工程と、

エッチング除去した領域に層方向に屈折率が実質的に連続して変化する半導体層を形成する工程とを包含する導波路型光集積回路素子の製造方法。

【請求項 13】 半導体基板上に半導体レーザを構成する半導体層を形成する工程と、

該半導体層の一部を略垂直な断面を有するようにエッチング除去する工程と、

エッチング除去した領域の側面に誘電体マスクを形成する工程と、

エッチング除去した領域に光導波路を構成する半導体層を形成する工程とを包含する導波路型光集積回路素子の製造方法。

【請求項 14】 前記エッチング除去した領域の側面に誘電体マスクを形成する工程を、前記半導体基板上にバイアス電圧を印加しながらスパッタリングを行うバイアススパッタ法を用いて行う請求項 13 記載の導波路型光集積回路素子の製造方法。

【請求項 15】 請求項 6 記載の導波路型光集積回路素子の製造方法であって、

MOCVD 装置のマスフローコントローラの流量を制御することにより前記半導体層の層方向の中心位置を前記半導体レーザの出力光分布の中心に一致させ、かつ前記光導波路の固有モードの中心に一致させる工程を包含する導波路型光集積回路素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は光通信、光情報処理、光センサ等に利用できる光集積回路素子、特に発光デバイスである半導体レーザと半導体レーザからの出射光を導波させる光導波路を同一の半導体基板上に集積した導波路型光集積回路素子及びその製造方法に関する。

【0002】

【従来の技術】現在、急速な発展を遂げているマルチメディア社会は、近い将来、オフィスや各家庭においても 100Mbps 以上という高速、大容量の光通信を可能

にすると考えられる。その中で、ワイヤレスの光伝送技術は通信配線を不要にでき、しかも携帯用のコンピュータで各ポイントに設けられたターミナルを通じて通信できるといふ大きなメリットを有する。

【0003】図6は、このようなワイヤレスの光通信システムで用いられる受信部、即ち導波路型光集積回路素子の一例を示す。

【0004】この光通信システムでは、周波数変調した信号光12を受信部で局部発振光11と合波し、その差周波の周波数を有するビート信号に変換するというヘテロダイン検波を採用している。これにより、通常の強度変調直接検波方式と比較して非常に信号対雑音特性の良好な通信を実現できるといふ長所を有する。

【0005】以下に、今少し具体的にこの導波路型光集積回路素子の構成を動作とともに説明する。本素子では、半導体レーザ1と2本の光導波路を同一基板上に集積化し、更に、2本の光導波路が交差する部分に光分岐素子20を集積化している。

【0006】半導体レーザ1から出射された局部発振光11は集積化された光導波路の入力側の光導波路30に導入され、続いて、光分岐素子20で2つに分岐され、光導波路31、33にそれぞれ導かれる。

【0007】一方、送信された来た信号光12は入力側の光導波路32に導かれ、続いて、光分岐素子20により2つに分岐され、光導波路31、33にそれぞれ導かれる。この結果、出力側の光導波路31及び33で信号光12と局部発振光11が合波され、ビート信号が得られる。

【0008】上記構成の導波路型光集積回路素子を作製するためには、半導体レーザと光導波路とを同一基板上に集積化する必要があるが、そのような集積化方法の一例として、図7(a)に示す突き合わせ接合が考えられる。この図は理想的な構造を図示したもので、半導体基板100上に形成した屈折率結合型の分布帰還型半導体レーザ(DFBレーザ)200の一部を垂直にエッチング除去し、その領域に光導波層301が2つの光閉じ込め層302、303で挟まれた光導波路構造300が形成されている。半導体レーザ200から出力された光は直接光導波路300に結合され、光導波層301を導波する。

【0009】このような光集積回路素子は半導体レーザと光導波路を別々に作製して貼り合わせる場合と比較して、位置合わせが不要であり、機械的安定性が高いという特長を有する。なお、図中符号201は活性層を示している。

【0010】

【発明が解決しようとする課題】しかし、上記従来例は以下に示す課題を有しており、そのことに起因して後述の克服すべき問題点を有している。

【0011】(1)垂直にエッチングされた領域に光導

波路構造を形成する際に、実際には図7(a)に示すような理想的な形状は実現されず、例えば図7(b)に示すような形状になる。このとき、光導波層301は半導体レーザ200と光導波路300の結合場所の近傍で水平から傾斜して形成されている。この傾斜領域では光はこの構造の屈折率分布を反映し、光導波層301に結合されない光の割合が増加し、理想的な形状から予想される結合率より大きく低下する。

【0012】(2)半導体レーザ200の垂直方向のビーム径と光導波路300の垂直方向の固有モードのビーム径とが一致していない場合、その違いが大きいほど光が半導体レーザ200から光導波路300に結合される光の割合は低下する。

【0013】以下に上記(1)、(2)で挙げた問題点を今少し具体的に説明する。

【0014】図7(b)は、具体的には、GaAs/AlGaAs系DFB半導体レーザを垂直にエッチングした後、有機金属熱分解法(MOCVD法)によってAlGaAs系の材料を成長した場合の例を示している。

【0015】この成長工程においては、成長速度の面方位依存性が大きいので、成長速度の小さい面が露出するように成長が進行し、同図に示すような形状の成長となっている。この場合、水平から傾いた方向に層構造が出現するため、光の一部はその影響を受けて界面で反射され、或いは界面で屈折し、結果的に光導波層301に結合せずに導波路外へ放射される。即ち、放射損失を生じる。

【0016】本発明者等の実験結果によれば、約1dBの光がこの影響で放射されることが確認された。上記とは異なる他の条件で成長した場合、形状はさまざまに変化したがる、同図(a)に示したような理想的な形状を実現することは不可能であり、いずれの場合も0.5dBから1dB程度の放射損失が確認された。

【0017】また、この例では、半導体レーザ200の垂直方向のビーム径約1μmに対し、光導波路300の光導波層301の層厚は約2μmで作製した。この違いによって、光が結合するときに大きなモード不整合が生じ、それに起因する放射損失1.7dBが確認された。

【0018】このように、両者を合計すると約2.7dBの損失が生じることになり、半導体レーザ200には実際に必要とされる光以上に高い出力が要求されるため、半導体レーザ200の消費電力が高くなる。加えて、その信頼性も低下するという大きな問題が発生する。

【0019】本発明は、このような現状に鑑みてなされたものであり、半導体レーザと光導波路の接続部における光損失を最小限に抑えることができ、結果的に消費電力を低減でき、信頼性を向上できる導波路型光集積回路素子及びその製造方法を提供することを目的とする。

【0020】

【課題を解決するための手段】本発明の導波路型光集積回路素子は、端面出射型の半導体レーザと、複数の半導体層からなり、該半導体レーザの出射光を導波させる光導波路とを半導体基板上の横方向に集積した導波路型光集積回路素子において、該半導体レーザと該光導波路の接合領域に単一の半導体層を埋め込んで構成されており、そのことにより上記目的が達成される。

【0021】好ましくは、前記単一の半導体層の横方向の長さが20 μ m以下である構成とする。

【0022】また、本発明の導波路型光集積回路素子は、端面出射型の半導体レーザと、複数の半導体層からなり、該半導体レーザの出射光を導波させる光導波路とを半導体基板上の横方向に集積した導波路型光集積回路素子において、該半導体レーザと該光導波路の接合領域に、屈折率が層方向に実質的に連続して変化する半導体層を埋め込んで構成されており、そのことにより上記目的が達成される。

【0023】好ましくは、前記半導体層の屈折率は、層方向の周辺部から中心部に向けて高くなる2次関数状に変化する構成とする。

【0024】また、好ましくは、前記半導体層の屈折率の変化は該半導体層の組成を変化させることにより形成する。

【0025】また、好ましくは、前記半導体層の層方向の中心位置は前記半導体レーザの出力光分布の中心に一致し、かつ前記光導波路の固有モードの中心に一致するように構成する。

【0026】また、好ましくは、前記半導体層と前記半導体レーザとの間又は該半導体層と前記光導波路との間、或いは該半導体層と該半導体レーザとの間及び該半導体層と該光導波路との間に、単一の半導体層を埋め込む構成とする。

【0027】また、本発明の導波路型光集積回路素子は、端面出射型の半導体レーザと、複数の半導体層からなり、該半導体レーザの出射光を導波させる光導波路とを半導体基板上の横方向に集積した導波路型光集積回路素子において、該半導体レーザと該光導波路の接合領域に誘電体層を介在させており、そのことにより上記目的が達成される。

【0028】好ましくは、前記半導体層と前記半導体レーザとの間及び該半導体層と前記光導波路との間に誘電体層を介在させる構成とする。

【0029】また、好ましくは、前記半導体レーザとして分布帰還型半導体レーザを用いる。

【0030】また、本発明の導波路型光集積回路素子の製造方法は、半導体基板上に半導体レーザを構成する半導体層を形成する工程と、該半導体層の一部を略垂直な断面を有するようにエッチング除去する工程と、エッチング除去した領域に光導波路を構成する半導体層を形成する工程と、該半導体レーザの光出射端面と該光導波路

の光入射面との境界を含む領域を略垂直な断面を有するようにエッチング除去する工程と、エッチング除去した領域に単一の半導体層を形成する工程とを包含しており、そのことにより上記目的が達成される。

【0031】また、本発明の導波路型光集積回路素子の製造方法は、半導体基板上に半導体レーザを構成する半導体層を形成する工程と、該半導体層の一部を略垂直な断面を有するようにエッチング除去する工程と、エッチング除去した領域に光導波路を構成する半導体層を形成する工程と、該半導体レーザの光出射端面と該光導波路の光入射面との境界を含む領域を略垂直な断面を有するようにエッチング除去する工程と、エッチング除去した領域に層方向に屈折率が実質的に連続して変化する半導体層を形成する工程とを包含しており、そのことにより上記目的が達成される。

【0032】また、本発明の導波路型光集積回路素子の製造方法は、半導体基板上に半導体レーザを構成する半導体層を形成する工程と、該半導体層の一部を略垂直な断面を有するようにエッチング除去する工程と、エッチング除去した領域の側面に誘電体マスクを形成する工程と、エッチング除去した領域に光導波路を構成する半導体層を形成する工程とを包含しており、そのことにより上記目的が達成される。

【0033】好ましくは、前記エッチング除去した領域の側面に誘電体マスクを形成する工程を、前記半導体基板にバイアス電圧を印加しながらスパッタリングを行うバイアススパッタ法を用いて行う。

【0034】また、本発明の導波路型光集積回路素子の製造方法は、請求項6記載の導波路型光集積回路素子の製造方法であって、MOCVD装置のマスフローコントローラの流量を制御することにより前記半導体層の層方向の中心位置を前記半導体レーザの出力光分布の中心に一致させ、かつ前記光導波路の固有モードの中心に一致させる工程を包含しており、そのことにより上記目的が達成される。

【0035】以下に本発明の作用について説明する。

【0036】半導体レーザと光導波路の接合領域に単一の半導体層を埋め込む構成によれば、半導体レーザと光導波路の接合部に水平方向から傾いた層構造が存在しない導波路型光集積回路素子を実現できる。

【0037】このため、半導体レーザ部と埋め込み領域との界面及び埋め込み領域と光導波路部との界面における透屈折率の差を小さくでき、これらの界面で導波光はほとんど反射されず、また、屈折されないので、放射損失を低減できる。

【0038】加えて、上記構成によれば、半導体レーザからの出力光のビーム径を光導波路の固有モードのビーム径に容易に整合させることができるので、モード不整合による放射損失を抑えることができる。

【0039】この結果、上記構成によれば、結合損失を

10

20

30

40

50

大幅に低減できるので、結果的に消費電力を低減でき、信頼性を向上できる導波路型光集積回路素子を実現できる。

【0040】また、半導体レーザと光導波路の接合領域に、屈折率が層方向に実質的に連続して変化する半導体層を埋め込む構成によれば、この半導体層のレンズ効果によって導波中の光のモードプロファイルが伝搬中に連続的に変化する。光導波路の固有モードのビーム径に一致したところで光導波路に結合されるので、モード不整合に起因する結合損失をより一層効果的に低減できる。

【0041】また、上記2つの構成を組み合わせる構成によれば、両者の効果を相乗的に発揮でき、結合損失を一層効率良く低減できる導波路型光集積回路素子を実現できる。

【0042】また、半導体レーザと光導波路の接合領域に誘電体層を介在させる構成によっても、半導体レーザと光導波路の接合部に水平方向から傾いた層構造が存在しない導波路型光集積回路素子を実現できるので、上記同様に結合損失を低減できる。

【0043】また、半導体レーザと光導波路の接合領域に誘電体層を介在させ、且つ半導体レーザと該光導波路の接合領域に、屈折率が層方向に実質的に連続して変化する半導体層を埋め込む構成によれば、水平から傾斜して成長する半導体層がないことと、モード不整合が無いことによる相乗効果により、結合損失を大幅に低減できる導波路型光集積回路素子を実現できる。

【0044】

【発明の実施の形態】以下に本発明の実施の形態を図面に基づき具体的に説明する。

【0045】（実施形態1）図1は本発明導波路型光集積回路素子の実施形態1を示す。本実施形態1は一般的なダブルヘテロ（DH）構造の半導体レーザを備えた導波路型光集積回路素子に本発明を適用した例を示す。以下にその構造を製造プロセスとともに説明する。

【0046】まず、MOCVD装置内にGaAs基板（ウェハー）100を導入し、GaAs基板100上にAlGaAs系半導体レーザ200を構成する半導体層をMOCVD法で成長した。ここで、半導体レーザ200としては垂直方向のビーム径約1μmの一般的なダブルヘテロ（DH）構造を用いた。活性層201のAl混晶比は0.14で、発振波長780nmの設定で成長した。

【0047】次に、上記半導体層が形成されたウェハーをMOCVD装置から取り外し、塩素ガスをを用いたリアクティブ・イオン・ビーム・エッチング（RIE）を用いてGaAs基板100に到達する深さまで垂直にエッチングした。

【0048】その後、再び、ウェハーをMOCVD装置内に導入し、MOCVD法を用いて光導波路を構成する半導体層300を成長した。この半導体層は、光導波路

301が上下の光閉じ込め層303、302で挟まれた構造になっている。

【0049】ここで、光導波層のAl混晶比は0.2、その層厚は2μmである。また、上下の光閉じ込め層303、302のAl混晶比及び層厚は同一の値であり、Al混晶比は0.22、層厚は1μmとした。

【0050】このときの断面形状は、図1に示すように、従来例と同様に水平方向から傾斜した構造になっている。但し、本実施形態1では、半導体レーザ200と光導波路300との接合部近傍から遠ざかるに連れてその傾斜の影響は小さくなり、接合部から3μm以上離れたとほぼ水平になっている。

【0051】ここで、光導波路部300は半導体レーザ200の出力光（780nm）に対して透明であり、低損失な導波路として機能する。また、エッチングの深さ制御性は2%程度が得られており、その後のMOCVD成長の成長層厚の制御性1%と合わせても、半導体レーザ200の出力光分布の中心と、水平になった後の光導波路300の固有モードの中心の高さは0.1μmの精度で合わせることができた。

【0052】次に、半導体レーザ200と光導波路300の接合領域を幅2μmにわたって垂直にエッチングした。このときのエッチング深さは光導波路部300を突き抜けていればよく、精密な制御は必要としない。ここでのエッチングも、先と同じRIEを適用した。

【0053】続いて、エッチングした領域に、再びMOCVD法によってAl混晶比0.2のAlGaAs層400を埋め込み成長した。最後に、半導体レーザ200部に成長した光導波路層を形成する半導体層及び埋め込み層を形成する半導体層を除去した後、リッジ形状に加工して、横方向の光閉じ込めを行い、レーザ200部への電極付け及び劈開等のプロセスを施し、これにより本実施形態1の導波路型光集積回路素子を得た。

【0054】本実施形態1の導波路型光集積回路素子は水平方向から傾斜した層構造をほとんど持たず、従来例にみられた放射損失に起因する大きな結合損失は確認されなかった。本素子の場合、半導体レーザ200部で発生した光は半導体レーザ200部と埋め込み領域との界面及び埋め込み領域と光導波路300部との界面でほとんど反射されない。このことは、これらの界面において等価屈折率の差が小さいことに起因している。従って、このレーザは半導体レーザ200部と埋め込み領域及び光導波路300部全体を共振器とした外部共振器モードで良好に動作した。

【0055】また、本実施形態1の導波路型光集積回路素子においては、最後に埋め込んだ領域は縦方向に光の閉じ込め構造を有しないが、その長さが2μm程度と短い場合は、放射される光の量は無視できる程度である。このため、本実施形態1の導波路型光集積回路素子について、実際に光学特性を評価したところ、結合損失はそ

ード不整合に起因する1.7dBのみであり、上記従来例に比べて結合損失を大幅に低減できることが確認された。

【0056】更に、埋め込み領域の長さを変化させて結合損失を調べてみたところ、15 μ m程度までは顕著な結合損失は測定されず、それ以上で少しずつ結合損失が確認された。そして、埋め込み領域の長さを20 μ mとしたときには約1dBの結合損失となった。要求される損失量によってこの長さの許容範囲は変わるが、20 μ m以下に設定すると、1dB以下の結合損失に抑えられ、望ましい特性が得られることが確認できた。

【0057】(実施形態2)図2(a)、(b)は本発明導波路型光集積回路素子の実施形態2を示す。本実施形態2は吸収結合型回折格子を有する利得結合型半導体レーザを備えた導波路型光集積回路素子に本発明を適用した例を示す。以下にその構造を製造工程と共に説明する。

【0058】まず、GaAs基板100上にAlGaAs系DFBレーザ200'を構成する半導体層を分子線エピタキシー(MBE)法で成長した。この半導体レーザ200'は、吸収結合型回折格子を有する利得結合型半導体レーザであり、この半導体レーザ200'については、例えばY. Nakano、他 Japanese Journal of Applied Physics, 32巻2号p. 825~829(1993)に詳細に記述されており、ここでは具体的な説明は省略する。

【0059】この半導体レーザ200'の垂直方向のビーム径も約1 μ mであり、活性層201として3層の量子井戸構造を採用し、その発振波長は830nmに設定した。

【0060】次に、塩素ガスをGaAs基板100に直接照射するとともに、塩素イオン(若しくはアルゴンイオン)を同時照射するケミカル・アシスティブ・イオン・ビーム・エッチング(CAIBE)を用いてGaAs基板100に到達する深さまで垂直にエッチングした。

【0061】このエッチングに関しては、H. Kawanishi、他 Japanese Journal of Applied Physics, 35巻7B号p. 880~882(1996)に詳細な記述があり、ここでは具体的な説明については省略する。

【0062】その後、MOCVD法を用いて光導波路301を構成する半導体層300を成長した。この半導体層に関しては、上記実施形態1と同様であるが、本実施形態2では酸化珪素膜をマスクとした選択成長を行うことにより、半導体レーザ200部には成長が起らない条件で成長した。なお、図中の符号303、302は上記実施形態1同様に上下の光閉じ込め層を示している。

【0063】このとき、成長後の基板表面は平坦に埋め

込まれていたが、断面形状の観察より、水平方向から傾いた層構造が従来例と同様に確認された。光導波路301の層厚は2 μ mとした。本実施形態2においても、実施形態1同様に、半導体レーザ200の出力光分布の中心と水平になったあとの光導波路301の固有モードの中心の高さは0.1 μ mの精度で合わせることができた。

【0064】次に、半導体レーザ200'と光導波路301の接合領域を含む形で幅7.8 μ mにわたって垂直にエッチングした。このエッチング深さは光導波路301部を突き抜け、7.0 μ mに制御した。

【0065】続いて、エッチングされた領域に連続的に屈折率nが変化する構造を含む半導体層500を成長した。図2(b)は半導体層500の層方向(層厚方向)における屈折率分布を示す。同図(b)に示すように、屈折率の分布は層方向の周辺部から中心部に向かって屈折率が大きくなる2次関数的に変化しており、この屈折率分布はAlの混晶比の変化を用いて形成した。

【0066】ここで、半導体層500(以後、Graded Index(GRIN)領域と称する)の厚さは、片側(中心部から周辺部)2.894 μ m、中心部の屈折率3.545(屈折率の最大値)、周辺部の屈折率3.2(屈折率の最小値)、中心位置は半導体レーザ200の出力光分布の中心及び光導波路301の固有モードの中心の高さに一致させた。この位置合わせ制御は、MOCVD装置のマスフローコントローラの流量をコンピュータ制御することにより容易に実現できた。

【0067】その後、半導体レーザ200、GRIN領域500及び光導波路300にわたり、幅2 μ mの幅で導波路領域を規定する溝をエッチングした。この溝は、全ての層を貫通するように深い溝とした。

【0068】最後に、エッチングした領域に半導体層(図示せず)を埋め込むことにより埋め込み導波路構造を形成し、横モード閉じ込め構造として、本実施形態2の導波路型光集積回路素子を得た。

【0069】本実施形態2の導波路型光集積回路素子は、半導体レーザ200'部はDFBレーザであり、半導体レーザ200'とGRIN領域500の界面で反射がなくてもレーザ発振するため、半導体レーザ200'部で独立して良好に発振した。光導波路301部に光分岐素子等の他のデバイスを集積する場合は、このように、半導体レーザ単体で動作するDFBレーザを光源として用いることが望ましい。

【0070】本実施形態2の導波路型光集積回路素子について、半導体レーザ200'から光導波路301への結合損失を評価したところ、約0.4dBであった。このうち、GRIN領域500成長時の水平からずれた成長に起因する結合損失が0.2dBと見積もられ、モード不整合に起因する損失はGRIN領域500の採用により大幅に低減できたことが確認された。

【0071】その理由は、GRIN領域500のレンズ効果によって導波中の光のモードプロファイルが伝搬中に連続的に変化する。光導波路301の固有モードのビーム径に一致したところで光導波路301に結合されているためである。実際、GRIN領域500の長さを変化させて結合損失を測定してみたところ、周期的に変化することが確認されている。従って、GRIN領域500の長さは、上記のとおり光導波路301の固有モードのビーム径に合わせて最適化することが望ましい。

【0072】なお、本実施形態2ではGRIN領域500の屈折率変化として2次関数を用いたが、実質的に同様のレンズ効果を有すればこれに限らず、他の屈折率分布を用いることも可能である。また、ここでは屈折率が2次関数状に連続して変化する構造としたが、これを線分で近似したりしても同様の特性が得られることは明らかである。

【0073】（実施形態3）図3は本発明導波路型光集積回路素子の実施形態3を示す。本実施形態3の導波路型光集積回路素子は、実施形態2の手法と実施形態1の手法とを組み合わせることで作製したものである。

【0074】即ち、GRIN層500成長時の水平からずれた成長に起因する結合損失を低減させるために、半導体レーザ200'とGRIN領域500の接合領域を含む領域、或いはGRIN領域500と光導波路層300の接合領域を含む領域、若しくは、その両方の領域をエッチングし、層構造を有しない層を成長させることで、実施形態2の效果に実施形態1の效果を付加したものである。

【0075】ここで、上記の説明におけるエッチングとしては、ほぼ垂直にエッチングができさえすればよく、一般的なエッチング方法を用いることができる。例えば、リアクティブ・イオン・エッチング(RIE)等を用いても良いし、ウェットエッチングを用いることも可能である。また、結晶成長についても上記に述べたMOCVD法、MBE法に限らず、場合によっては液相成長、クロライドVPE等を用いることも可能である。

【0076】なお、実施形態1及び実施形態2と対応する部分には同一の符号を付してある。

【0077】（実施形態4）図4(a)、(b)は本発明導波路型光集積回路素子の実施形態4を示す。本実施形態4の導波路型光集積回路素子は、その製造プロセスに特徴を有するものである。以下にその構造を製造工程と共に説明する。

【0078】まず、GaAs基板100上にAlGaAs系DFBレーザ200'を構成する半導体層をMBE法で成長した。本実施形態4の導波路型光集積回路素子は、半導体レーザとして吸収結合型回折格子を有する利得結合型半導体レーザを用いている。

【0079】この半導体レーザ200'の垂直方向のビーム径は約1μmであり、活性層201として3層の量

子井戸構造を採用し、発振波長780nmに設定した。

【0080】次に、RIE法を用いてGaAs基板100に到達する深さまで垂直にエッチングした。ここで、エッチングマスクとしては酸化珪素膜を用いた。続いて、エッチングされた領域の側面に酸化珪素膜600を形成した。

【0081】この形成は、GaAs基板100にバイアス電圧を印加しながらスパッタリングを行うバイアススパッタ法を用いて行った。そうしたところ、エッチング底面には酸化珪素の形成は見られず、エッチング側面にのみ酸化珪素膜600を形成することができた。ここで、酸化珪素膜600の膜厚は20nmとした。このように膜厚を薄くすると、酸化珪素膜600による反射は生じなかった。

【0082】この時点で、酸化珪素膜600はエッチングされていない領域とエッチングされた領域の側面に形成され、エッチング底面には形成されていない。引き続き、MOCVD法を用いて光導波路301を構成する半導体層300を成長した。この半導体層300に関しては、酸化珪素膜600をマスクとした選択成長を行うことにより、半導体レーザ200'部には成長が起らない条件で成長した。

【0083】本実施形態4の導波路型光集積回路素子では、エッチング側面に酸化珪素膜600からなる誘電体層が形成されているので、エッチング側面に垂直な方向の成長も抑制され、それによって半導体層300の成長時、水平から傾斜した成長は見られず、すべてGaAs基板100に平行に成長は進行した。なお、光導波路301の層厚は2μmとした。

【0084】本実施形態4の導波路型光集積回路素子においても、半導体レーザ200'の出力光分布の中心と水平になったあとの光導波路301の固有モードの中心の高さは0.1μmの精度で合わせることができた。

【0085】本実施形態4の導波路型光集積回路素子について、半導体レーザ200'から光導波路301への結合損失を評価したところ、約1.8dBであり、モードの不整合に起因する損失のみであり、結合損失を低減できることが確認できた。

【0086】（実施形態5）図5は本発明導波路型光集積回路素子の実施形態5を示す。本実施形態5の導波路型光集積回路素子は、実施形態2の手法と実施形態4の手法を組み合わせることで作製したものである。以下にその構造を製造工程と共に説明する。

【0087】まず、InP基板110上にInGaAsP系DFBレーザ210を構成する半導体層をMBE法で成長した。本実施形態5の導波路型光集積回路素子は、半導体レーザ210として吸収結合型回折格子を有する利得結合型半導体レーザを用いている。

【0088】この半導体レーザ210の垂直方向のビーム径は約1μmであり、活性層211には5層の量子井

10

20

30

40

50

戸構造を採用し、発振波長 $1.55 \mu\text{m}$ に設定した。

【0089】次に、RIE法を用いてInP基板110に到達する深さまで垂直にエッチングした。その後、MOCVD法を用いて光導波路301を構成する半導体層300を成長した。この半導体層300に関しては酸化珪素膜をマスクとした選択成長を行うことにより、半導体レーザ210部には成長が起らない条件で成長した。

【0090】このとき、成長後の基板表面は平坦に埋め込まれていたが、断面形状の観察より、水平方向から傾いた層構造が従来例と同様に確認された。光導波路301の層厚は $1.5 \mu\text{m}$ とした。本実施形態5の導波路型光集積回路素子も、半導体レーザ210の出力光分布の中心と水平になったあとの光導波路301の固有モードの中心の高さは $0.1 \mu\text{m}$ の精度で合わせることができた。

【0091】次に、酸化珪素マスクを用いて、半導体レーザ210と光導波路301の接合領域を含む形で幅 $4.17 \mu\text{m}$ にわたって垂直にエッチングした。このエッチング深さは光導波路301部を突き抜け、 $6.0 \mu\text{m}$ に制御した。

【0092】続いて、エッチングされた領域の側面に酸化珪素膜600を形成した。この形成は、実施形態4同様にバイアススパッタ法を用いて行った。そうしたところ、エッチング底面には酸化珪素の形成は見られず、エッチング側面のみに酸化珪素膜600を形成することができた。酸化珪素膜600の膜厚は 20nm とした。

【0093】引き続き、エッチングされた領域に連続的に屈折率が変化する構造（GRIN領域）500を含む半導体層を成長した。屈折率はIn、As組成の変化を用いて変化させた。ここで、GRIN領域500の中心位置は半導体レーザ210の出力光分布の中心及び光導波路301の固有モードの中心の高さに一致させた。

【0094】この位置合わせ制御は、実施形態4同様にMOCVD装置のマスフローコントローラの流量をコンピュータ制御することにより容易に実現できた。

【0095】本実施形態5の導波路型光集積回路素子においても、エッチング側面に誘電体層が形成されているので、エッチング側面に垂直な方向の成長は抑制され、それによってGRIN領域500の成長時、水平から傾斜した成長は見られず、すべてInP基板110に平行に成長は進行した。

【0096】本実施形態5の導波路型光集積回路素子について、半導体レーザ210から光導波路301への結合損失を評価したところ、約 0.2dB であり、水平から傾斜して成長する半導体層がないことと、モード不整合が無いことによる相乗効果により、結合損失を大幅に低減できることが確認された。

【0097】

【発明の効果】以上の本発明導波路型光集積回路素子に

よれば、半導体レーザと光導波路の接合領域に単一の半導体層を埋め込む構成をとるので、半導体レーザと光導波路の接合部に水平方向から傾いた層構造が存在しない導波路型光集積回路素子を実現できる。

【0098】このため、半導体レーザ部と埋め込み領域との界面及び埋め込み領域と光導波路部との界面における透屈折率の差を小さくでき、これらの界面で導波光はほとんど反射されず、また、屈折されないので、放射損失を低減できる。

10 【0099】加えて、上記構成によれば、半導体レーザからの出力光のビーム径を光導波路の固有モードのビーム径に容易に整合させることができるので、モード不整合による放射損失を抑えることができる。

【0100】この結果、本発明成によれば、結合損失を大幅に低減できるので、結果的に消費電力を低減でき、信頼性を向上できる導波路型光集積回路素子を実現できる。

20 【0101】また、特に請求項3等に記載の導波路型光集積回路素子によれば、半導体レーザと光導波路の接合領域に、屈折率が層方向に実質的に連続して変化する半導体層を埋め込む構成をとるので、この半導体層のレンズ効果によって導波中の光のモードプロファイルが伝搬中に連続的に変化し、光導波路の固有モードのビーム径に一致したところで光導波路に結合されるので、モード不整合に起因する結合損失をより一層効果的に低減できる。

30 【0102】また、上記2つの構成を組み合わせる構成によれば、両者の効果を相乗的に発揮でき、結合損失を一層効率良く低減できる導波路型光集積回路素子を実現できる。

【0103】また、特に請求項8等に記載の導波路型光集積回路素子によれば、半導体レーザと光導波路の接合領域に誘電体層を介在させる構成をとり、この構成によっても、半導体レーザと光導波路の接合部に水平方向から傾いた層構造が存在しない導波路型光集積回路素子を実現できるので、上記同様に結合損失を低減できる。

40 【0104】また、特に請求項9等に記載の導波路型光集積回路素子によれば、半導体レーザと光導波路の接合領域に誘電体層を介在させ、且つ半導体レーザと該光導波路の接合領域に、屈折率が層方向に実質的に連続して変化する半導体層を埋め込む構成をとるので、水平から傾斜して成長する半導体層がないことと、モード不整合が無いことによる相乗効果により、結合損失を大幅に低減できる導波路型光集積回路素子を実現できる。

【0105】また、特に請求項11～請求項15記載の導波路型光集積素子の製造方法によれば、上記した効果を発揮できる導波路型光集積素子を容易に製造することができる。

【図面の簡単な説明】

50 【図1】本発明の実施形態1を示す、導波路型光集積回

路素子の断面図。

【図2】本発明の実施形態2を示す、(a)は導波路型光集積回路素子の断面図、(b)はGRIN領域の屈折率分布を示す概念図。

【図3】本発明の実施形態3を示す、導波路型光集積回路素子の断面図。

【図4】本発明の実施形態4を示す、導波路型光集積回路素子の製造工程図。

【図5】本発明の実施形態5を示す、導波路型光集積回路素子の製造工程図。

【図6】導波路型光集積回路素子の従来例を示す斜視図。

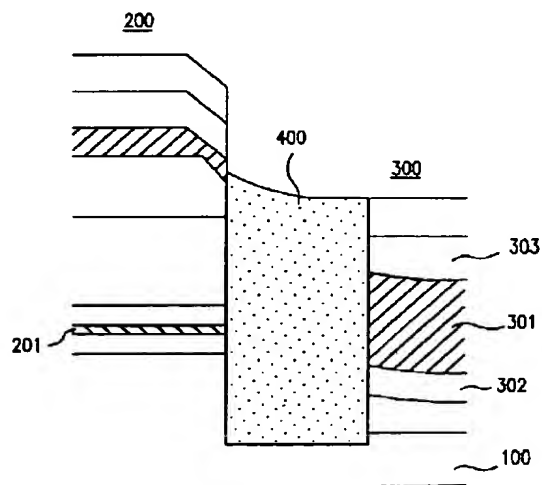
【図7】(a)は半導体レーザと光導波路とを同一基板上に集積化した場合の理想的な構造を示す断面図、

* (b) は実際の構造を示す断面図。

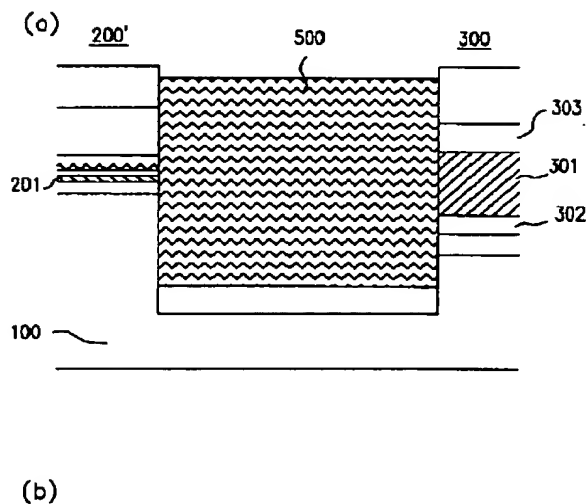
【符号の説明】

100	GaAs基板
110	InP基板
200	AlGaAs系半導体レーザ
200'	AlGaAs系DFBレーザ
210	InGaAsP系DFBレーザ
300	光導波路を構成する半導体層
301	光導波層
302	下側の光閉じ込め層
303	上側の光閉じ込め層
400	AlGaAs埋め込み層
500	GRIN領域
600	酸化珪素膜

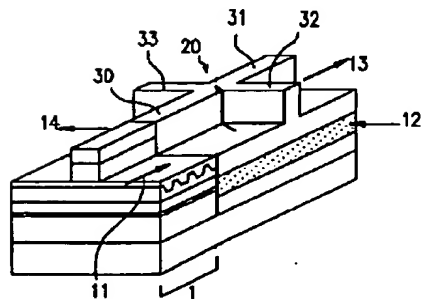
【図1】



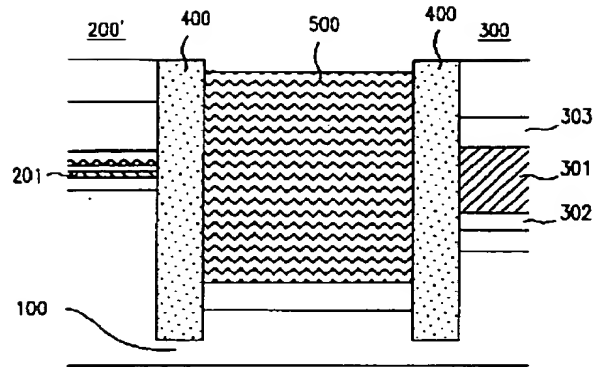
【図2】



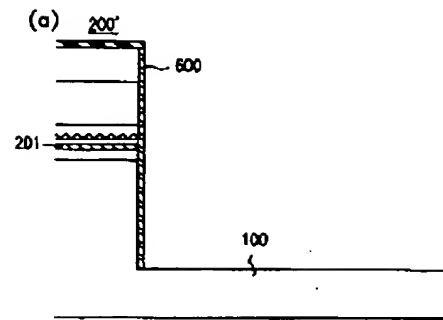
【図6】



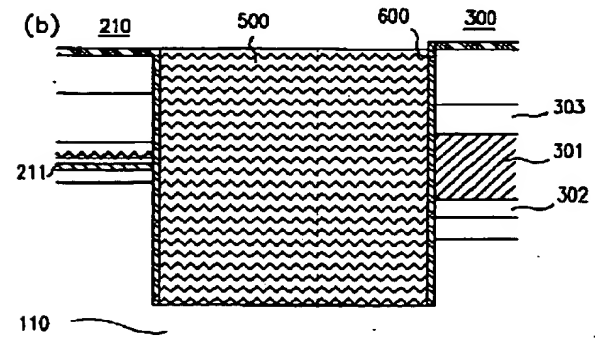
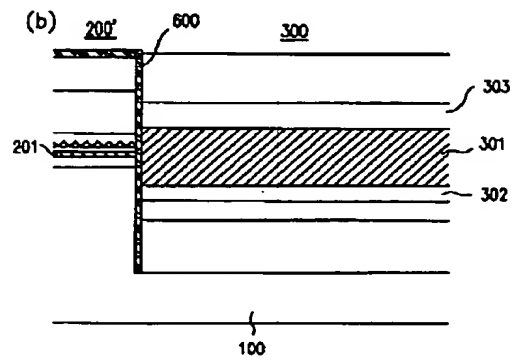
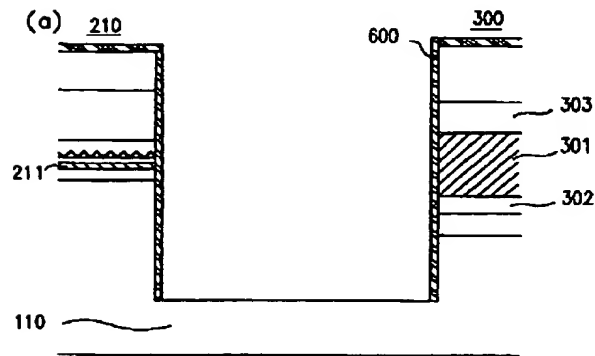
【図 3】



【図 4】



【図 5】



【図 7】

